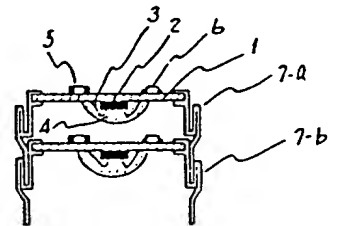


08/408552

54) HYBRID INTEGRATED CIRCUIT DEVICE
(1) 61-75558 (A) (43) 17.4.1986 (19) JP
(2) Appl. No. 59-198008 (22) 21.9.1984
(7) NEC CORP (72) KAZUHARU ISHIHAMA
(51) Int. Cl. H01L27/13; H05K1/18

PURPOSE: To improve the mounting density and to provide extensible and flexible functions of a hybrid integrated circuit device by connecting two or more substrates on which parts are mounted on both or one side surface with each other at external terminals.

CONSTITUTION: A semiconductor pellet 2 is placed on a thick film substrate 1 printed on both side surfaces and on the back surface, connected by a gold wire 3, coated with a silicon resin 4, and a chip capacitor 5, a small-sized molded semiconductor 6 and an U-shaped external terminal 7-a are connected by soldering to the surface. The terminal 7-a is inserted to the bent U-shaped recess of the external terminal 7-b of the second substrate assembled in the similar steps, and electrically connected. Parts are mounted on both side surfaces by superposing the external leads on the substrate by utilizing the U-shaped portion as described above. Thus, twice mounting density can be achieved in the same area as compared with the conventional technique. the substrates are superposed in 3 and 4 stages to further increase the mounting density.



BEST AVAILABLE COPY

特許公報 (A) 昭61-75558

Int. Cl.

識別記号

庁内整理番号

発公開 昭和61年(1986)4月17日

H 01 L 27:13

6636-5F

H 05 K 1:15

6736-5F

審査請求 未請求 発明の数 1 (全2頁)

発明の名称 積成集積回路装置

出願 昭和59-193003

出願 昭和59-19319月21日

発明者 石 濱 和 治 東京都港区芝5丁目33番1号 日本電気株式会社内
出願人 日本電気株式会社 東京都港区芝5丁目33番1号
代理人 弁護士 内 原 晋

明 細 書

1. 発明の名称

積成集積回路装置

2. 特許請求の範囲

厚膜、薄膜またはプリント配線基板上に取付けられる外部端子の中間部分がU字型に前向きに開口し前記基板とは別個に設けた基板に取付けられた外部端子が挿入され電気的接続がなされることを特徴とする積成集積回路装置。

3. 発明の詳細な説明

(発明の分野)

本発明は、チップ部品及び半導体ベレットが各々の両面または、片面に搭載され、二枚以上の厚膜、薄膜または、プリント配線基板の相互の電気的接続が前記回路装置に取付けられた外部端子によりなされる積成集積回路装置に関する。

(従来技術)

従来二枚の回路基板が使用される積成集積回路装置を第2図に示す厚膜印刷基板1-a、1-b、各々に半導体ベレット2やチップコンデンサ5を搭載した後、各々の部品搭載面の裏面を張り合せ、次に前記二枚の基板を外部端子8で挟み込み電気的接続を行われる構造が、一般的であり、両面実装は不可能であった。

(発明の目的)

本発明の目的は、両面または片面に部品が実装された二枚以上の基板と外部端子で相互接続することにより実装密度の向上及び積成集積回路装置の機能に拡張性、柔軟性を与えることにある。

(発明の構成・効果)

次に、本発明の構成及び効果を図面を用いて説明する。第1図は、本発明の実施例を示すもので両面印刷された厚膜基板1、裏面に半導体ベレット2を搭載し金線3で接続シリコン樹脂4で被覆後外面にチップコンデンサ5や小型モールド半導体6及びU字型外部端子7-aを半田接続する。次に同様の工程で組立られた第2の新板の外部端子

2...より同一の基板に形成される。...
 3...の基板の厚さ7...の間に形成される。
 3の厚さを増大させることも可能である。11上の面
 より外部リードを形成して加工した部分を利用して、
 外部リードを形成することにより、表面に部品が実装でき
 るための厚さの段差を生ずる。同一の厚さで2段の半
 径調整を形成できる。さらに厚さを3段、4段
 と重ね上げることによりさらに実装密度を上げる
 ことが可能である。また、11として1段目の厚さを
 マイクロプロセッサのペレットと抵抗部品を
 搭載し2段目以降の厚さをRAM (Random Access
 Memory)、ROM (Read Only Memory) 及
 び、周辺SIを搭載する構成に利用すれば、高集
 成度の回路を形成し得る。本発明
 により、高集積性がありかつ機能を柔軟に変更できる
 組立回路の構築が実現できるものである。

(発明の要約)

以上の通り本発明により2枚以上の表面実装
 部からなる組立回路の構築が実現できるため、従

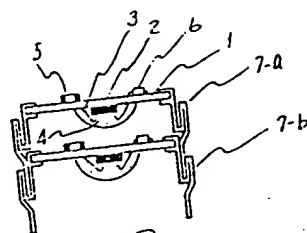
来と異なり、高集積性...
 いても高集積性をもたせることができ、用途も多岐
 にわたるものである。本発明例示においては、DIP
 型部品について記載したがSIP型やその他の
 構成でも容易に適用可能であり本発明例示のみ限
 定されるものでない。

4. 図面の簡単な説明

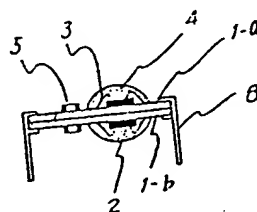
第1図は本発明の実施例の断面図である。第2
 図は従来の技術による一般的な構成の断面図を示す。
 1...厚膜印刷基板、2...半導体ペレット、3...
 金(Au)線、4...シリコン樹脂、5...チップコン
 デンサ、6...小型モールド半導体、7a、7b...
 U字型外部端子、8...外部配線

代理人 井理士 内 取

- 4 -



第1図



第2図